

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012809

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 25/04

H01L 25/18

(21)Application number : 08-164247

(71)Applicant : NEC CORP

(22)Date of filing : 25.06.1996

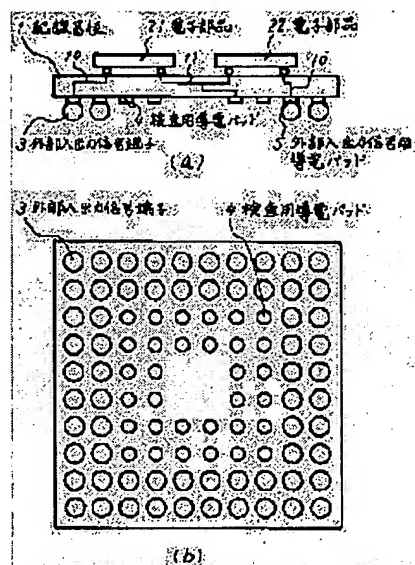
(72)Inventor : OYAMA KAZUYUKI

(54) MULTICHIP MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To inspect connection states of all terminal of electronic components which constitute a multichip module and operation of electronic components.

SOLUTION: The multichip module comprises a plurality of electronic components 21 and 22, and a wiring substrate 1 wherein the first wiring line 10 which connects an external input-output signal conductive pad 5 with the terminals of the electric components 21 and 22 and the second wiring line 11 when connects between the terminals of the electronic components 21 and 22 and requires no connection with outside are formed. On the surface of the wiring substrate 1, an inspection conductive part 4 as well as the external input/output signal conductive pad 5 are provided, and the second wiring line 11 is connected to the inspection conductive pad.



LEGAL STATUS

[Date of request for examination] 25.06.1996

[Date of sending the examiner's decision of rejection] 22.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2907127

[Date of registration] 02.04.1999

[Number of appeal against examiner's decision of rejection] 10-16023

[Date of requesting appeal against examiner's decision of rejection] 13.10.1998

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Field of the Invention] This invention relates to the multi chip module which used the wiring substrate which has two or more external terminals which arranged two or more electronic parts on the grid on one side especially about the multi chip module mounted on the same wiring substrate.

[0001]

[Description of the Prior Art] Conventionally, as this seed multi chip module was shown in drawing 4 (a) and (b), electronic parts 21 and 22 were mounted in the front face of the wiring substrate 1. Two or more electric conduction pads 5 for external I/O signals arranged on the grid are formed in the rear face of the wiring substrate 1, and the spherical external I/O signal terminal 3 is formed with solder etc. on the pad. The external I/O signal terminal 3 and the terminal of electronic parts 21 and 22 are connected a front face or inside the wiring substrate 1. The wiring way which connects to the wiring substrate 1 between [other than the wiring way which connects the external I/O signal terminal 3 and the terminal of electronic parts 21 and 22] the terminals of electronic parts 21 and 22 is formed.

[0002]

[Problem(s) to be Solved by the Invention] The 1st trouble is a point that the connection condition of all the terminals of each electronic parts which constitute a multi chip module, and actuation of the electronic parts from each terminal cannot be inspected.

[0003] The reason is that there is no external connection terminal to the wiring way which is a wiring way which connects between each electronic parts, and does not have the need of connecting with the external I/O signal terminal of a wiring substrate.

[0004] That is, there was a problem that a connection condition could be conventionally inspected only from the terminal of the electronic parts linked to an external I/O signal terminal, and the actuation which lets the connection condition of a wiring way of connecting between each electronic parts, and its wiring way pass could not be inspected.

[0005] The purpose of this invention is to offer the multi chip module which enables inspection of the connection condition of all the terminals of each electronic parts which constitute a multi chip module, and actuation.

[0006] The further purpose of this invention is to offer the multi chip module which can use a common inspection fixture.

[0007]

[Means for Solving the Problem] The multi chip module by this invention Two or more electronic parts (21 of drawing 1 (a), 22), These electronic parts are mounted. An external signal electric conduction terminal (5 of [0006] Th (a)), and the terminal of electronic parts (21 22) It is the module which has the wiring substrate (1 of drawing 1 (a)) with which the 2nd wiring way (11 of drawing 1 (a)) which connects between [other than the 1st wiring way (10 of drawing 1 (a)) to connect] the terminals of electronic parts (21 and 22), and does not have the need for connection with the exterior was formed. It has the configuration in which it has a checking electric conduction terminal (4 of drawing 1 (a)) on the front face of a wiring substrate, and the 2nd wiring way was connected to the checking electric conduction terminal.

[0008] The multi chip module which enables inspection of the connection condition of all the terminals of each electronic parts which constitute a multi chip module, and actuation by this configuration is obtained.

[0009] According to this invention, the checking electric conduction terminal could be formed on the same flat surface as an external signal electric conduction terminal in the wiring substrate, and could be arranged on the same grid with the external signal electric conduction terminal. In this case, since a checking electric conduction terminal is arranged tidily, even when the internal circuitry of a multi chip module changes, the advantage which can use a common inspection fixture arises.

[0010] The checking electric conduction pad of an external signal electric conduction terminal is sufficient as the electric conduction pad for external I/O signals, and a checking electric conduction terminal. The electric conduction pad for external I/O signals with which the lead-wire nature ball was formed is sufficient as an external signal electric conduction terminal.

[0011]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0012] Drawing 1 (a) and (b) show the gestalt of operation of the 1st of the multi chip module of this invention, and (a) is a sectional view and the top view which saw (b) from each electric conduction pad side of a wiring substrate. In drawing, electronic parts 21 and 22 are mounted in one field (front-face side) of the wiring substrate 1 of a multi chip module, and the electric conduction pad 5 for external I/O signals and the checking electric conduction pad 4 are formed in another field

(rear-face side).

[0013] Although electronic parts 21 and 22 are semiconductor integrated circuits, such as a bare chip, a tape carrier package, and a mold package, components, such as resistance and a capacitor, are also included.

[0014] The wiring substrate 1 is a multilayer-interconnection substrate which consists of an insulating layer and a wiring layer, and the 2nd wiring way 11 which connects between [other than the 1st wiring way 10 which connects the electric conduction pad 5 for external I/O signals and the terminal of electronic parts 21 and 22] the terminals of electronic parts 21 and 22 is formed. The 1st wiring way 10 is formed in the front face or the interior of the wiring substrate 1, and the 2nd wiring way 11 is also formed in the front face or the interior of the wiring substrate 1. The 2nd wiring way 11 is connected to the checking electric conduction pad 4 inside a wiring substrate for inspection.

[0015] The external I/O signal terminal 3 is the conductive ball formed in the front face of the electric conduction pad 5 for external I/O signals. As the ingredient, metal balls, such as a solder ball and ** which performed solder plating, are desirable.

[0016] The checking electric conduction pad 4 and the electric conduction pad 5 for external I/O signals are arranged on the same grid. That is, the checking electric conduction pad 4 is formed in the wiring substrate 1 on the same flat surface as the electric conduction pad 5 for external I/O signals, and is arranged on the same grid with the electric conduction pad 5 for external I/O signals. In drawing 1 (b), although the electric conduction pad 5 for external I/O signals is arranged at the periphery of the checking electric conduction pad 4, location sequence is not limited to this. The checking electric conduction pad 4 and one pad of electric conduction pads 5 for external I/O signals may be arranged by turns [each].

[0017] Drawing 2 is the circuit diagram showing the wiring configuration of the multi chip module of drawing 1 (a) and (b). In drawing, Terminals 6a, 6b, and 6c correspond to the electric conduction pad 5 for external I/O signals linked to electronic parts 21, and Terminals 6d, 6e, and 6f correspond to the electric conduction pad 5 for external I/O signals linked to electronic parts 22. Moreover, Terminals 7a, 7b, and 7c correspond to the checking electric conduction pad 4 linked to the 2nd wiring way 11 which connects the terminal of electronic parts 21 and 22, respectively.

[0018] By using the inspection fixture which has arranged the inspection probe for the location which faces the checking electric conduction pad 4 and the electric conduction pad 5 for external I/O signals, it becomes possible to inspect all the terminals of electronic parts 21 and 22, and the operating state from each terminal when connecting the connection condition and electronic parts 21 and 22 of all terminals of electronic parts can be inspected. Especially, from the checking electric conduction pad 4, the wiring condition between the electronic parts in the wiring substrate 1 can be inspected.

[0019] If the inspection approach is explained concretely, the inspection probe of an inspection fixture will be applied to terminal 6a to 6c, and 7c from terminal 7a, and the connection condition of all the terminals of electronic parts 21 and operating state will be inspected using these terminals. Next, the inspection probe of an inspection fixture is applied to 7c from 6f and terminal 7a from 6d of terminals, and the connection condition of all the terminals of electronic parts 22 and operating state are inspected using these terminals. Thereby, the connection condition of the 1st and 2nd wiring ways 10 and 11 can be inspected.

[0020] Drawing 3 (a) and (b) show the gestalt of operation of the 2nd of the multi chip module of this invention, and (a) is a sectional view and the top view which saw (b) from each electric conduction pad side of a wiring substrate. In drawing, the difference from the gestalt of the 1st operation has electronic parts 21 and 22 in being mounted in an opposite side side, and the array of the electric conduction pad 5 for external I/O signals, and the checking electric conduction pad 4. Others are the same as that of drawing 1 (a) and (b). Since electronic parts 21 and 22 are mounted on the same field as the electric conduction pad 5 for external I/O signals, and the checking electric conduction pad 4 in the case of the gestalt of this operation, the number of electric conduction pads is restricted. However, since electronic parts do not appear from the front face of the wiring substrate 1, it is hard to attach dust etc. to electronic parts.

[0021] Mounting of electronic parts may be embedded not only into the gestalt of the above operation but into the wiring substrate 1.

[0022]

[Example] Next, the example of this invention is explained to a detail with reference to drawing 1 (a) and (b). The printed-circuit board using the build up method of construction in which ***** was formed on photosensitive insulation resin is used for the wiring substrate 1 of a multi chip module based on the substrate which formed ***** in glass epoxy group material. Electronic parts 21 and 22 mount a semiconductor integrated circuit bare chip to the wiring substrate 1 by flip chip mounting. Like a general surface mounted device, the external I/O signal terminal 3 carries out printing supply of the Sn-Pb eutectic soldering paste, carries a Sn-Pb eutectic solder ball on it, and it carries out fused junction to the electric conduction pad 5 for external I/O signals with a reflow method, and it forms it in it. The electric conduction pad 5 for external I/O signals is arranged on the frame of outside 2 train of a 1.27mm [per 1 grid element] grid. The checking electric conduction pad 4 is arranged on the frame of two trains inside the electric conduction pad 5 for external I/O signals.

[0023]

[Effect of the Invention] The 1st effectiveness is becoming possible to inspect the connection condition of all the terminals of each electronic parts which constitute a multi chip module, and actuation of each electronic parts.

[0024] The reason is the wiring way which connects between each electronic parts, and is because the checking electric conduction terminal was prepared in the 2nd wiring way where connection with the exterior of a multi chip module does not have the need.

[0025] The 2nd effectiveness is being able to attain communalization of an inspection fixture.

[0026] The reason is that it has arranged the external signal electric conduction terminal and the checking electric conduction terminal on the same grid.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The gestalt of operation of the 1st of the multi chip module of this invention is shown, and (a) is a sectional view and the top view which saw (b) from the electric conduction pad side.

[Drawing 2] It is the circuit diagram showing the circuitry of the multi chip module of drawing 1 (a) and (b).

[Drawing 3] The gestalt of operation of the 2nd of the multi chip module of this invention is shown, and (a) is a sectional view and the top view which saw (b) from the electric conduction pad side.

[Drawing 4] The conventional multi chip module is shown and (a) is a sectional view and the top view which saw (b) from the electric conduction pad side.

[Description of Notations]

- 1 Wiring Substrate
- 3 External I/O Signal Terminal
- 4 Checking Electric Conduction Pad
- 5 Electric Conduction Pad for External I/O Signals
- 10 1st Wiring Way
- 11 2nd Wiring Way
- 21 Electronic Parts
- 22 Electronic Parts

[Translation done.]

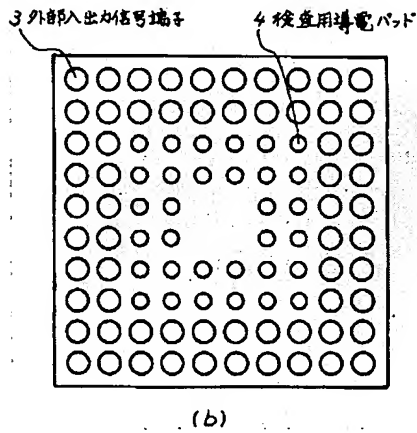
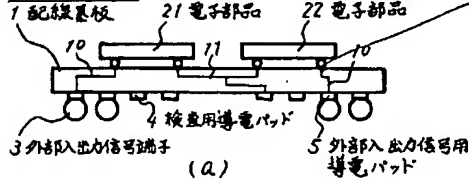
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

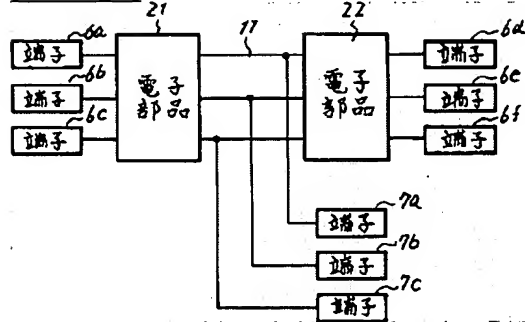
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

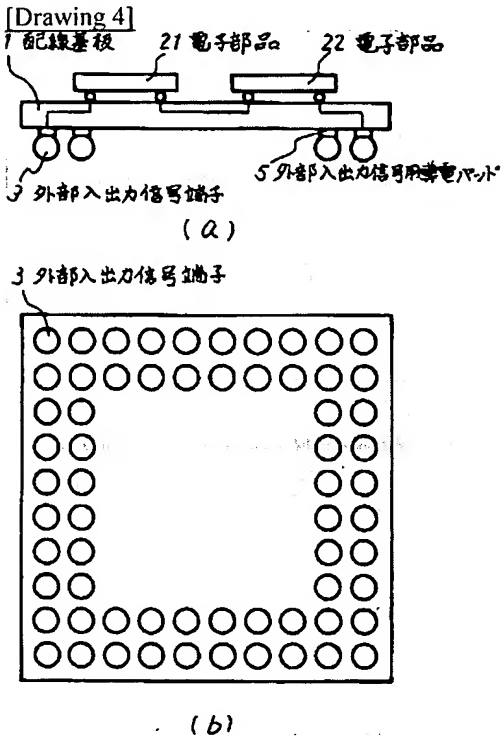
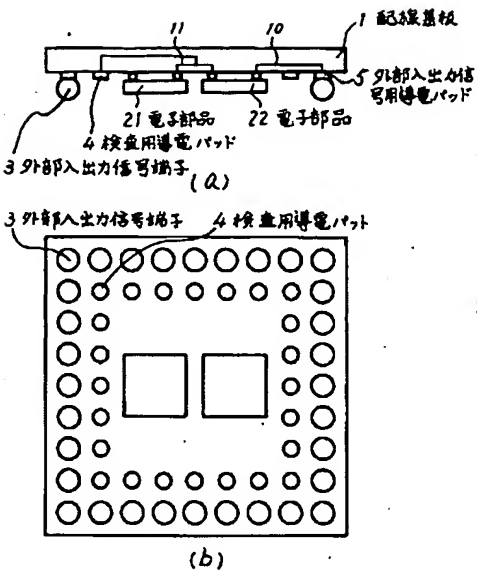
[Drawing 1]



[Drawing 2]



[Drawing 3]



→ p. 12

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12809

(43) 公開日 平成10年(1998) 1月16日

(51) IntCl⁵

H 0 1 L 25/04

25/18

識別記号

庁内整理番号

F I

H 0 1 L 25/04

技術表示箇所

Z

審査請求 有 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平8-164247

(22) 出願日 平成8年(1996) 6月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大山 和之

東京都港区芝五丁目7番1号 日本電気株式会社内

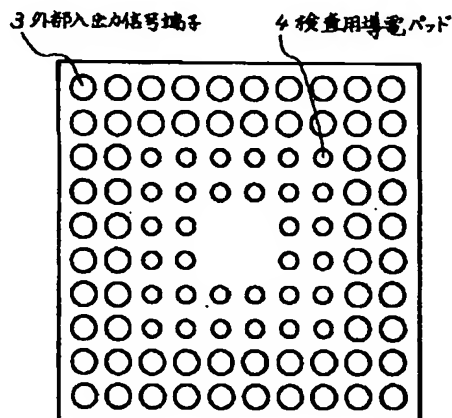
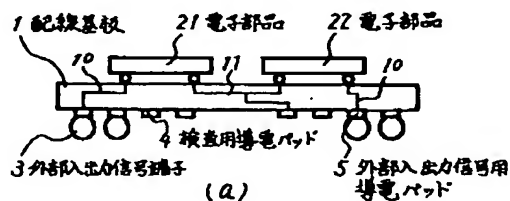
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【課題】 マルチチップモジュールを構成する各電子部品の全ての端子の接続状態および各電子部品の動作を検査することが可能とする。

【解決手段】 本発明によるマルチチップモジュールは、複数の電子部品(21、22)と、これら電子部品が実装され、外部入出力信号導電パッド(5)と電子部品(21、22)の端子とを接続する第1の配線路(10)の他に電子部品(21と22)の端子間を接続し外部との接続の必要のない第2の配線路(11)が形成された配線基板(1)とを有する。配線基板1の表面には、外部入出力信号導電パッド(5)の他に検査用導電パッド(4)を有し、第2の配線路(11)がその検査用導電パッドに接続される。



(b)

【特許請求の範囲】

【請求項1】 複数の電子部品と、これら電子部品が実装され、表面の外部信号導電端子と前記電子部品の端子とを接続する第1の配線路の他に前記電子部品の端子間を接続し外部との接続の必要のない第2の配線路が形成された配線基板とを有するマルチチップモジュールにおいて、前記配線基板の表面に検査用導電端子を有し、前記第2の配線路がその検査用導電端子に接続されたことを特徴とするマルチチップモジュール。

【請求項2】 前記検査用導電端子は、前記配線基板において前記外部信号導電端子と同一平面上に形成され、前記外部信号導電端子とともに同一格子上に配列されたことを特徴とする請求項1記載のマルチチップモジュール。

【請求項3】 前記外部信号導電端子は、外部入出力信号用導電パッドとそのパッドの上に形成された半田端子とを有する請求項2記載のマルチチップモジュール。

【請求項4】 前記配線基板は、絶縁層と配線層とを積層した積層配線基板であり、前記検査用導電端子は、前記配線基板の内部で前記第2の配線路に接続することを特徴とする請求項2記載のマルチチップモジュール。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、複数の電子部品を同一配線基板上に実装したマルチチップモジュールに関し、特に、片面に格子上に配列した複数の外部端子を有する配線基板を使用したマルチチップモジュールに関する。

【0001】

【従来の技術】従来、この種マルチチップモジュールは、図4(a)、(b)に示すように、配線基板1の表面に電子部品21、22が実装されたものからなる。配線基板1の裏面には、格子上に配列した複数の外部入出力信号用導電パッド5が形成され、そのパッドの上には球状の外部入出力信号端子3が半田等で形成されている。外部入出力信号端子3と電子部品21、22の端子とは、配線基板1の表面または内部で接続されている。配線基板1には、外部入出力信号端子3と電子部品21、22の端子とを接続する配線路の他に、電子部品21と22の端子間を接続する配線路が形成される。

【0002】

【発明が解決しようとする課題】第1の問題点は、マルチチップモジュールを構成する各電子部品の全ての端子の接続状態及び各端子からの電子部品の動作を検査することができない点である。

【0003】その理由は、各電子部品間を接続する配線路でかつ配線基板の外部入出力信号端子に接続する必要のない配線路に対しては、外部接続端子がないからである。

【0004】すなわち、従来は、外部入出力信号端子に接続する電子部品の端子からしか接続状態を検査でき

ず、各電子部品間だけを接続する配線路の接続状態およびその配線路を通しての動作を検査することができないという問題があった。

【0005】本発明の目的は、マルチチップモジュールを構成する各電子部品の全ての端子の接続状態及び動作を検査可能とするマルチチップモジュールを提供することにある。

【0006】本発明の更なる目的は、共通の検査フィクスチャを使用できるマルチチップモジュールを提供することにある。

【0007】

【課題を解決するための手段】本発明によるマルチチップモジュールは、複数の電子部品(図1(a)の21、22)と、これら電子部品が実装され、外部信号導電端子(図1(a)の5)と電子部品(21、22)の端子とを接続する第1の配線路(図1(a)の10)の他に電子部品(21と22)の端子間を接続し外部との接続の必要のない第2の配線路(図1(a)の11)が形成された配線基板(図1(a)の1)とを有するモジュールであって、配線基板の表面に検査用導電端子(図1(a)の4)を有し第2の配線路がその検査用導電端子に接続された構成を有する。

【0008】この構成によって、マルチチップモジュールを構成する各電子部品の全ての端子の接続状態及び動作を検査可能とするマルチチップモジュールが得られる。

【0009】本発明によれば、検査用導電端子は、配線基板において外部信号導電端子と同一平面上に形成され、外部信号導電端子とともに同一格子上に配列されたものでも良い。この場合、検査用導電端子が整然と配列されるので、マルチチップモジュールの内部回路が変わった場合でも共通の検査フィクスチャを使用できる利点が生じる。

【0010】外部信号導電端子は外部入出力信号用導電パッド、検査用導電端子は、検査用導電パッドでも良い。外部信号導電端子は、導線性ボールが形成された外部入出力信号用導電パッドでも良い。

【0011】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0012】図1(a)、(b)は本発明のマルチチップモジュールの第1の実施の形態を示し、(a)は断面図、(b)は配線基板の各導電パッド側からみた平面図である。図において、マルチチップモジュールの配線基板1の一方の面(表面側)には、電子部品21と22が実装され、もう一方の面(裏面側)には外部入出力信号用導電パッド5と検査用導電パッド4が形成されている。

【0013】電子部品21、22は、ベアチップ、テープキャリアパッケージ、モールドパッケージなどの半導

体集積回路であるが、その他に抵抗、コンデンサなどの部品も含む。

【0014】配線基板1は、絶縁層と配線層からなる多層配線基板で、外部入出力信号用導電パッド5と電子部品21、22の端子とを接続する第1の配線路10の他に、電子部品21と22の端子間を接続する第2の配線路11が形成される。第1の配線路10は、配線基板1の表面あるいは内部に形成され、第2の配線路11も配線基板1の表面あるいは内部に形成される。第2の配線路11は、検査のために配線基板の内部で検査用導電パッド4に接続される。

【0015】外部入出力信号端子3は、外部入出力信号用導電パッド5の表面に形成された導電性ボールである。その材料としては、半田ボールや、半田メッキを施した動などの金属ボールが望ましい。

【0016】検査用導電パッド4と外部入出力信号用導電パッド5は、同一格子上に配置される。すなわち、検査用導電パッド4は、配線基板1において外部入出力信号用導電パッド5と同一平面上に形成され、外部入出力信号用導電パッド5とともに同一格子上に配列されている。図1(b)では、検査用導電パッド4の外周に外部入出力信号用導電パッド5が配置されているが、配置順序はこれに限定されるものではない。検査用導電パッド4と外部入出力信号用導電パッド5とを1パッドずつ交互に配列しても良い。

【0017】図2は図1(a)、(b)のマルチチップモジュールの配線構成を示す回路図である。図において、端子6a、6b、6cは、電子部品21に接続する外部入出力信号用導電パッド5に対応し、端子6d、6e、6fは、電子部品22に接続する外部入出力信号用導電パッド5に対応する。また、端子7a、7b、7cは、それぞれ電子部品21と22の端子とを接続する第2の配線路11に接続する検査用導電パッド4に対応する。

【0018】検査用導電パッド4と外部入出力信号用導電パッド5に相対する位置に検査プローブを配置した検査フィクスチャを使用することにより、電子部品21と22の全ての端子を検査することが可能となり、電子部品の全ての端子の接続状態及び電子部品21と22を接続したときの各端子からの動作状態を検査することができる。特に、検査用導電パッド4からは、配線基板1における電子部品間の配線状態を検査することができる。

【0019】具体的に検査方法を説明すると、端子6aから6cと端子7aから7cに検査フィクスチャの検査プローブを当て、それら端子を使用して電子部品21の全ての端子の接続状態、動作状態を検査する。次に、端子6dから6fと端子7aから7cに検査フィクスチャの検査プローブを当て、それら端子を使用して電子部品22の全ての端子の接続状態、動作状態を検査する。これにより、第1及び第2の配線路10、11の接続状態

を検査することができる。

【0020】図3(a)、(b)は本発明のマルチチップモジュールの第2の実施の形態を示し、(a)は断面図、(b)は配線基板の各導電パッド側からみた平面図である。図において、第1の実施の形態との違いは、電子部品21、22が、反対面側に実装されていることと、外部入出力信号用導電パッド5及び検査用導電パッド4の配列にある。そのほかは、図1(a)、(b)と同様である。この実施の形態の場合、電子部品21、22が、外部入出力信号用導電パッド5及び検査用導電パッド4と同一面上に実装されているので、導電パッドの数が制限される。しかし、配線基板1の表面から電子部品が見えないので、電子部品に埃等がつきにくい。

【0021】電子部品の実装は、以上の実施の形態に限らず、例えば、配線基板1の中に埋め込まれても良い。

【0022】

【実施例】次に本発明の実施例について図1(a)、(b)を参照して詳細に説明する。マルチチップモジュールの配線基板1には、ガラスエポキシ基材に導配線パターンを形成した基板をベースに、感光性絶縁樹脂上に導配線パターンを形成したビルドアップ工法を用いたプリント配線基板を使用する。電子部品21、22は、半導体集積回路ベアチップをフリップチップ実装で配線基板1へ実装する。外部入出力信号端子3は、一般的な表面実装部品と同様に、外部入出力信号用導電パッド5にSn-Pb共晶半田ペーストを印刷供給し、その上にSn-Pb共晶半田ボールを搭載し、リフロー方式により溶融接合して形成する。外部入出力信号用導電パッド5は、1格子エレメントあたり1.27mmの格子の外側2列の枠上に配置される。検査用導電パッド4は、外部入出力信号用導電パッド5の内側に2列の枠上に配置される。

【0023】

【発明の効果】第1の効果は、マルチチップモジュールを構成する各電子部品の全ての端子の接続状態および各電子部品の動作を検査することが可能となることである。

【0024】その理由は、各電子部品間を接続する配線路で、かつマルチチップモジュールの外部との接続が必要のない第2の配線路に検査用導電端子を設けたからである。

【0025】第2の効果は、検査フィクスチャの共通化を図れることである。

【0026】その理由は、外部信号導電端子と検査用導電端子を同一格子上に配置したからである。

【図面の簡単な説明】

【図1】本発明のマルチチップモジュールの第1の実施の形態を示し、(a)は断面図、(b)は導電パッド側からみた平面図である。

【図2】図1(a)、(b)のマルチチップモジュール

5

6

の回路構成を示す回路図である。

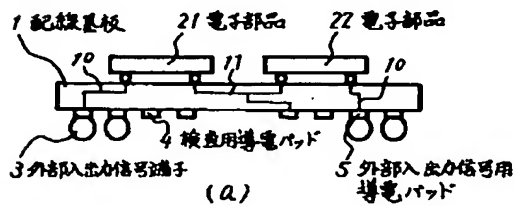
【図3】本発明のマルチチップモジュールの第2の実施の形態を示し、(a)は断面図、(b)は導電パッド側からみた平面図である。

【図4】従来のマルチチップモジュールを示し、(a)は断面図、(b)は導電パッド側からみた平面図である。

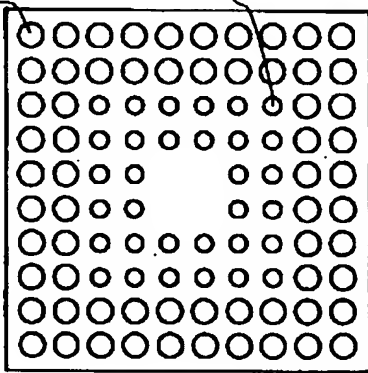
【符号の説明】

- | | |
|----|---------------|
| 1 | 配線基板 |
| 3 | 外部入出力信号端子 |
| 4 | 検査用導電パッド |
| 5 | 外部入出力信号用導電パッド |
| 10 | 第1の配線路 |
| 11 | 第2の配線路 |
| 21 | 電子部品 |
| 22 | 電子部品 |

【図1】

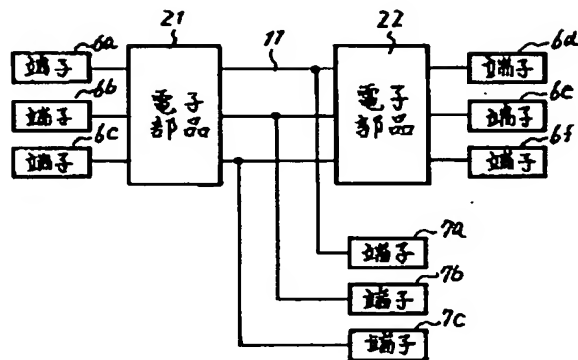


3 外部入出力信号端子 4 検査用導電パッド

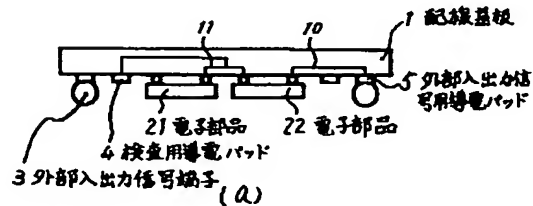


(b)

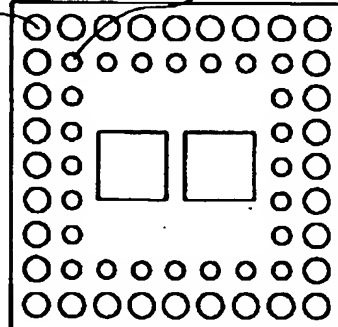
【図2】



【図3】

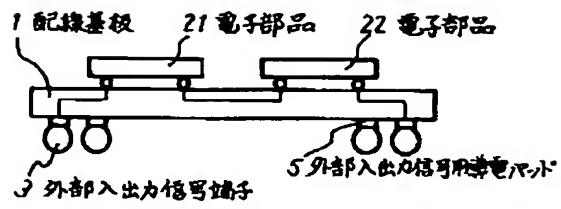


3 外部入出力信号端子 4 検査用導電パッド



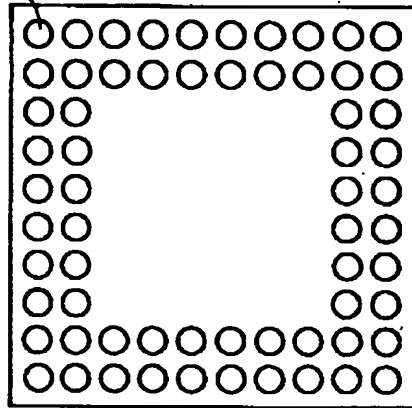
(b)

【図4】



(a)

3 外部入出力信号端子



(b)